

PAT-NO: JP361160185A
DOCUMENT-IDENTIFIER: JP 61160185 A
TITLE: IC CARD INCLUDING BATTERY
PUBN-DATE: July 19, 1986

INVENTOR-INFORMATION:
NAME
IEGI, TOSHIATSU

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT> N/A

APPL-NO: JP60000405
APPL-DATE: January 8, 1985

INT-CL (IPC): G06K019/00
US-CL-CURRENT: 235/487

ABSTRACT:

PURPOSE: To write and erase information rapidly and to obtain a semi-permanent buttery-built-in IC card having large memory capacity by forming a primary battery and a secondary battery for memory backup, a switching circuit for functioning the optimum one battery and an external terminal for supplying current to the secondary battery at the use of an IC card.

CONSTITUTION: A voltage VCC is supplied from the external terminal 4 to a CMOS SRAM6 at the use of the IC card, and when the card is not used, a backup

output voltage VB is supplied from the primary battery 7 or the secondary battery 9 and adjusted by the switching circuit 10 so that a higher voltage out of the output voltage $VB_{<SB>1</SB>}$ of the primary battery 7 and the output voltage $VB_{<SB>2</SB>}$ of the secondary battery 9 is used as the voltage VB. The output voltage $VB_{<SB>1</SB>}$ of the primary battery 7 is not changed even if the time has elapsed, but the output voltage $VB_{<SB>2</SB>}$ is reduced in accordance with the passage of time. The output voltage $VB_{<SB>2</SB>}$ is set up larger than the output voltage $VB_{<SB>1</SB>}$, power is supplied from the secondary battery 9 immediately after charging, and when $VB_{<SB>2</SB>} \leq VB_{<SB>1</SB>}$ is formed, power is supplied from the primary battery 7.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-160185

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月19日

G 06 K 19/00

6711-5B

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 電池内蔵 I C カード

⑯ 特 願 昭60-405

⑰ 出 願 昭60(1985)1月8日

⑱ 発 明 者 家 木 俊 温 横須賀市武1丁目2356番地 日本電信電話公社横須賀電気
通信研究所内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 小林 将高 外1名

明 細 書

1. 発明の名称

電池内蔵 I C カード

2. 特許請求の範囲

揮発性メモリ I C を内蔵する I C カードにおいて、前記揮発性メモリ I C に格納された情報を保持するためのメモリバックアップ用の 1 次電池と 2 次電池とを設け、これらの 2 個の電池のうちの最適な一方を機能させるためのスイッチング回路と、前記 I C カード使用時に前記 2 次電池へ電流を供給するための外部端子とを設けたことを特徴とする電池内蔵 I C カード。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、相補形 M O S スタティック R A M (以下、C M O S S R A M という)等の揮発性メモリを内蔵する I C カードに、メモリバックアップ用として 1 次電池と 2 次電池を内蔵させ、半永久的な不揮発性メモリとしての機能を I C カードに付与させた電池内蔵 I C カードに関するもの

である。

〔従来の技術〕

第 6 図は従来の I C カードの構成を示す平面図で、I C カード 1 の内部には情報格納用の不揮発性メモリ I C 2 (E P R O M または E E P R O M)、およびデバイスと情報の送受を行いながら不揮発性メモリ I C 2 に対してデータの書き込み・読取りを行う C P U 3 が内蔵されており、不揮発性メモリ I C 2、C P U 3 へのパワーと信号は外部端子 4 を経て供給されていた。

第 7 図はこの種のカードの回路の一例を示した図である。この図において、C P U 3 は外部端子 4 を介してパワー、信号、情報等をデバイスとやり取りし、~~アドレスバス~~^{データ} アドレスバス 5 を介して揮発性メモリである C M O S S R A M 6 と情報の送受を行う。C M O S S R A M 6 へは I C カード 1 の使用時ににおいて外部端子 4 より電圧 V_{cc} が供給され、情報の書き込み、読取り、消去に必要な電圧 V_{DD} が供給される。として、非使用時には 1 次電池 7 よりバックアップ用の出力電圧 V_{out} が

供給される。通常、 $V_{cc} > V_{s1}$ であるため、スイッチング回路8により、上述の電圧 V_{DD} の供給がなされる。したがって1次電池7が切れると情報が揮発する。

[発明が解決しようとする問題点]

ところで、EPROMの不揮発性メモリIC2を用いたICカード1においては、EPROMがICカード1内に埋設されているので紫外線照射ができず、格納情報の書き換え・消去ができなかつた。また、EEPROMの不揮発性メモリIC2を用いたICカード1においては、電氣的書き換え・消去が可能であるが、情報の書き込み・消去速度が遅く、メモリの大容量化が困難である等の問題点があつた。また、CMOS SRAM 6を内蔵したカードに、バックアップ用の1次電池7を内蔵した例もカード式電卓等においてみられるが、この場合、1次電池7が切れると情報が揮発するため、多量のバックアップ用電力を必要とする大容量および周辺CMOS SRAM 6が使用できない問題点があつた。

ードを用いたスイッチング回路である。

上記のように構成された電池内蔵ICカードにおいては、ICカードの使用時は、CMOS SRAM 6に外部端子4から電圧 V_{cc} （通常5V）が供給される。ICカードの非使用時には、1次電池7または2次電池9からバックアップ用の出力電圧 V_s が供給される。このときのバックアップ用の出力電圧 V_s は、1次電池7の出力電圧 V_{s1} と2次電池9の出力電圧 V_{s2} のうち、高い方の電圧となるようにスイッチング回路10で調整される。

ここで、1次電池7の出力電圧 V_{s1} は、第2図に示すように時間が経過しても変化せず、2次電池9の出力電圧 V_{s2} は第3図に示すように時間とともに減少する。したがって、2次電池9の出力電圧 V_{s2} の初期値を1次電池7の出力電圧 V_{s1} より大きく設定しておけば（例えば各出力電圧 V_{s1} 、 V_{s2} の初期値 $V_{s1} = 2.5V$ 、 $V_{s2} = 3V$ ）、2次電池9に充電直後に2次電池9から給電され、 $V_{s2} \geq V_{s1}$ のときは1次電池7から給電される。

この発明は、上記問題点を解決するためになされたもので、情報の書き込み・消去を高速で行い、かつ、メモリ容量の大きい半永久的な電池内蔵ICカードを得ることを目的とする。

[問題点を解決するための手段]

この発明にかかる電池内蔵ICカードは、揮発性メモリICに格納された情報を保持するためのメモリバックアップ用の1次電池と2次電池とを設け、これらの2個の電池のうちの致通な一方を機能させるためのスイッチング回路と、ICカード使用時に2次電池へ電流を供給するための外部端子とを設けたものである。

[作用]

この発明においては、揮発性メモリへの給電は通常は2次電池により行い、2次電池の出力電圧が低下したときのみ1次電池により給電を行う。

[実施例]

第1図はこの発明の一実施例を示す回路図である。この図において、第6図、第7図と同一符号は同一部分を示し、9は2次電池、10はダイオ

ここで、ICカードの使用時に外部端子4より2次電池9に充電されるように回路を設けておけば、2次電池9の出力電圧 V_{s2} は初期値に戻るため、再び2次電池9よりCMOS SRAM 6に給電されるようになる。

このように、この発明のICカードにおいては、CMOS SRAM 6への給電は通常2次電池9により行い、2次電池9の出力電圧 V_{s2} が低下したときのみ、予備の1次電池7より給電する方式をとるようにしている。

第4図は外部端子4より2次電池9に急激な給電を行うと2次電池9が破壊するのを防ぐための回路の一例を示す図である。この図において、外部端子4より急激な給電を行うと、コンデンサ11に電荷が蓄えられる。ここで、ICカードの使用が終了しても、2次電池9にはコンデンサ11より充電がなされる。しかも、抵抗器12の働きで給電はゆるやかになるため、2次電池9は破壊することがない。また、コンデンサ11の容量が大きければ、コンデンサ11を2次電池9の代り

として使用することもできる。

第5図は1次電池7の出力電圧 V_{B1} の値と2次電池9の出力電圧 V_{B2} の初期値の関係が不適当なときの調整回路の例を示した図である。例えば、各出力電圧 V_{B1} 、 V_{B2} の初期値が3Vで等しいとすると、1次電池7のみが消費されるため、半永久的メモリとしての機能が実現できない。この場合は、1次電池7の出力端子にオペアンプ13または抵抗器を接続することにより、1次電池7からの出力電圧 V_{B1} を適当な値(例えば2.5V)に調整できる。

なお、1次電池7としては超薄型リチウム電池、2次電池9としては薄型のカーボンリチウム2次電池等が使用される。また、スイッチング回路10としては、ダイオードに限定されるものでなく、他の素子を用いることができる。

[発明の効果]

以上説明したようにこの発明は、不揮発性メモリICに格納された情報を保持するためのメモリバックアップ用の1次電池と2次電池とを設け、

これらの2個の電池のうちの最適な一方を撮能させるためのスイッチング回路と、ICカード使用時に2次電池へ電流を供給するための外部端子とを設けたので、以下の利点を有する。

(1) メモリICとして大容量および周辺CMOSSSRAMを使用できるため高速の読み込み・消去の可能な大容量のICカードが作製できる。

(2) 通常、バックアップ用として2次電池を使用し、2次電池の出力電圧低下時のみ1次電池を使用するため、1次電池の消費がきわめて遅くなり、半永久的なメモリカード機能を実現できる。

(3) 太陽電池でメモリバックアップを行わないため、ICカードをポケットその他の暗い所に入れて置いてもメモリの情報が保持される。

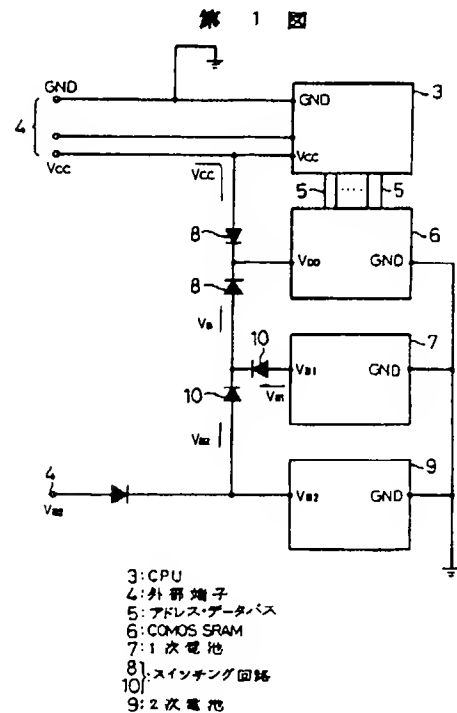
4. 図面の簡単な説明

第1図はこの発明の一実施例を示す回路図、第2図、第3図は1次電池と2次電池の放電特性を示す図、第4図は外部端子より2次電池を高速充電するときの保護回路の一例を示す図、第5図は1次電池の出力電圧を調整する回路の一例を示す

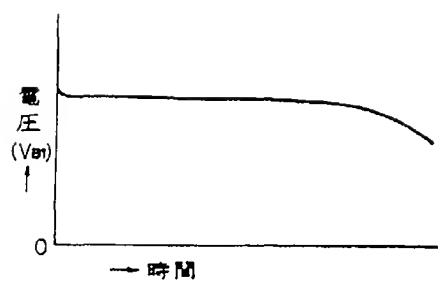
図、第6図はEPROMまたはEEPROMを使用した従来のICカードを示す図、第7図はCMOSSSRAMと1次電池を使用したICカードの回路図である。

図中、3はCPU、4は外部端子、5はアドレス・データバス、6はCMOSSRAM、7は1次電池、8、10はスイッチング回路、9は2次電池である。

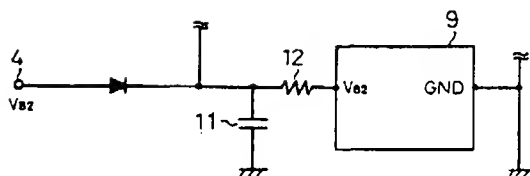
代理人 小林 将 高 (ほか1名)



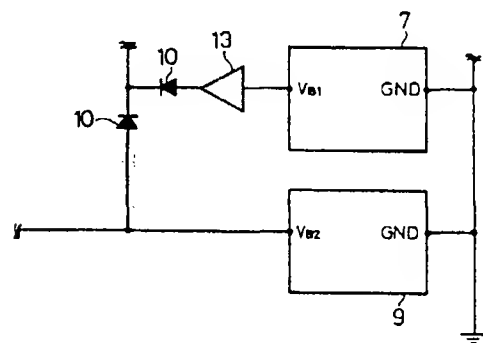
第 2 図



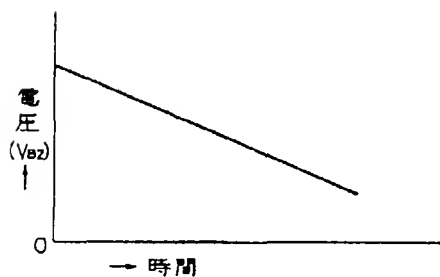
第 4 図



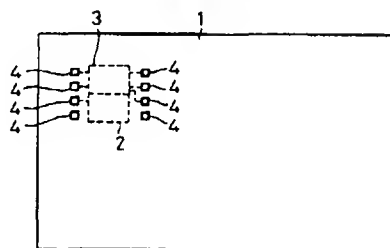
第 5 図



第 3 図



第 6 図



第 7 図

